

(1) Japanese Patent Application Laid-Open No. 2002-73363 “”

The following is English translation of an extract from the above-identified document relevant to the present application.

This invention provides low-cost LSI debugging device and system free of
5 constraints on program development and debugging of LSI incorporating multiprocessor.

In LSI debugging mode, at least one LSI block is intended for debugging, and internal signal that is needed to debug the LSI block intended for debugging is controlled so as to be input and output using an LSI terminal for input-output signal of LSI blocks that are not intended for debugging. Furthermore, by intending all the LSI blocks for debugging by
10 plural LSI debugging devices, along with LSI terminal function of the LSI blocks in debugging mode being provided, LSI terminals are connected to each other and configured so as to implement LSI terminal function in non-debugging mode.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-73363

(P2002-73363A)

(43)公開日 平成14年3月12日 (2002.3.12)

(51) Int.Cl. ⁷ G 06 F 11/22 11/28	識別記号 3 1 0 3 3 0	F I G 06 F 11/22 11/28	テ-マ-ト [*] (参考) 3 1 0 R 5 B 0 4 2 3 3 0 B 5 B 0 4 8 K
--	------------------------	------------------------------	--

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21)出願番号 特願2000-267071(P2000-267071)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成12年9月4日 (2000.9.4)

(72)発明者 松井 光清

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100105647

弁理士 小栗 昌平 (外4名)

F ターム(参考) 5B042 GA11 GA13 GA38 GC03 HH06

HH50

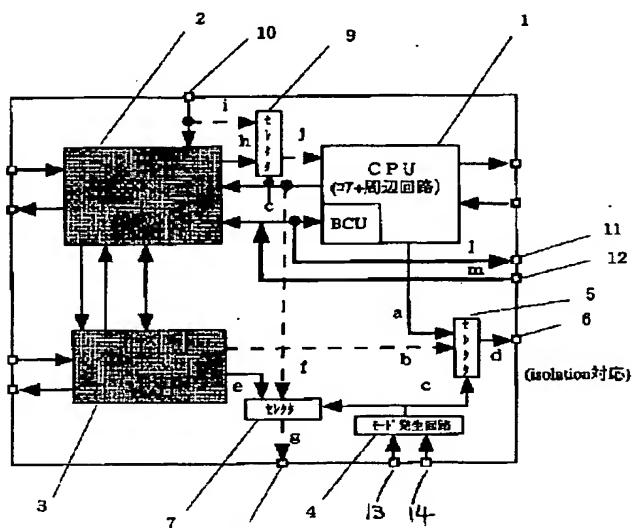
5B048 AA20 DD08 FF01

(54)【発明の名称】 L S I デバッグ装置及びシステム

(57)【要約】

【課題】 複数プロセッサを内蔵したL S I のプログラ
ム開発やデバッグを行う上で制約の無い低価格なL S I
デバッグ装置及びシステムを提供する。

【解決手段】 L S I デバッグモード時に、少なくとも
1つのL S I ブロックをデバッグ対象として指定し、指
定されたデバッグ対象のL S I ブロックのデバッグのた
めに必要な内部信号を、デバッグ対象外のL S I ブロ
ックの入出力信号用のL S I 端子を使用して入出力するよ
うに制御する。さらに、複数のL S I デバッグ装置によ
り全てのL S I ブロックをデバッグ対象として指定する
ことにより、デバッグモードにおけるL S I ブロックの
L S I 端子機能を提供するとともに、L S I 端子を互い
に接続して非デバッグモード時のL S I 端子機能を実現
するように構成する。



【特許請求の範囲】

【請求項1】 プロセッサ及びロジック回路を含む複数のLSIブロックを備え、任意のLSIブロックを対象とするデバッグを実行するデバッグモードを有するLSIデバッグ装置において、少なくとも1つのLSIブロックをデバッグ対象として指定するデバッグ対象指定手段と、前記デバッグ対象指定手段により指定されたLSIブロックのデバッグに必要な内部信号がLSI端子を介して入出力されるように制御する制御回路と、を具備したことを特徴とするLSIデバッグ装置。

【請求項2】 前記デバッグ対象指定手段の指定に応じて、LSI端子に接続されるバスの入出力方向を逆転することを特徴とする請求項1に記載のLSIデバッグ装置。

【請求項3】 前記LSIブロックが任意にリセットされることを特徴とする請求項1又は請求項2に記載のLSIデバッグ装置。

【請求項4】 デバッグモード時、LSI端子からの入力信号をフリップフロップ又はラッチ回路に保持することにより入力信号の同期を行うことを特徴とする請求項1乃至請求項3の何れか1項に記載のLSIデバッグ装置。

【請求項5】 請求項1乃至請求項4の何れか1項に記載のLSIデバッグ装置のLSI端子を互いに接続し、各LSIデバッグ装置が互いに異なる少なくとも1つのLSIブロックをデバッグ対象として指定することにより、前記LSIデバッグ装置を構成する全てのLSIブロックをデバッグ対象として指定し、デバッグモード時、各LSIデバッグ装置が、それぞれ前記制御回路によりデバッグ対象に指定されたLSIブロックの内部信号を入出力するLSI端子機能を提供するとともに、全体として非デバッグモード時のLSI端子機能を提供することを特徴とするLSIデバッグシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路、特に複数のマイクロコンピュータやデジタルシグナルプロセッサ等を内蔵したシステムLSI（大規模集積回路）におけるLSIデバッグ装置及びシステムに関するものである。

【0002】

【従来の技術】 近年、システムLSI化が進み、複数のプロセッサを1チップに内蔵するLSIが増えている。また、半導体製造プロセスの微細化により、LSIチップに搭載されるトランジスタ数はますます増大している。そのため、設計後のLSIの評価、特にそのLSIに関連するソフトウェアプログラム開発及びデバッグが難しくなり、LSI開発における開発工数が大幅に増加している。一方で、セット機器の商品サイクルはますま

す短くなり、LSI開発期間の短縮が強く要望されている。そのため、LSI開発に関連するソフトウェアプログラム開発及びデバッグの効率を上げる開発環境の提供が極めて重要な課題となっている。

【0003】 従来、マイクロコンピュータ（CPU）やデジタルシグナルプロセッサ（DSP）を内蔵したシステムLSIのLSIデバッグシステムの一例は、図7に示すように、目的とする機能を実現するためのロジック回路（ASIC）2、複数のプロセッサ（CPU、DSP）10、LSI端子10からの入力信号i、LSI端子6への出力信号dを制御する制御回路（セレクタ）5、及び制御回路を制御するモード発生回路4を備えている。システムLSIは、このシステムLSIの本来の動作を行うノーマルモードとデバッグ時の動作を行うデバッグモードとを有し、モード発生回路4の出力信号cによりモードに応じて制御回路が制御される。

【0004】 以上の構成により、プロセッサ1の入力信号jは、ノーマルモード時にはロジック回路2からの出力信号hが選択され、デバッグモード時にはLSI端子20 10からの入力信号iが選択される。また、入力信号iはロジック回路2の入力信号である。図7には記述していないが、ロジック回路2への入力信号iは、モード発生回路のモード信号cによりロジック回路2内で電源固定する方法もある。また、LSI端子6の出力信号dには、ノーマルモード時にはプロセッサ1の出力信号aが選択され、デバッグモード時には、プロセッサ3の出力信号bが選択される。その結果、デバッグモード時にはプロセッサ1の出力信号aをLSI端子6から取り出すことができないという制約が生じる。

【0005】 また、他の従来例として、ノーマルモードのLSI端子に加えて、プログラム開発やエミュレーション装置対応のためのデバッグ専用のLSI端子を備えたプログラム開発専用LSIを、量産用LSIとは別に開発する例もある。

【0006】 さらに、他の従来例として、特開平9-152979号公報に記載されているように、マイコンチップが形成された基板とエミュレーション機能チップが形成された基板とをバンプを介して直接接合することにより、電気的に接続させてモジュール化する例もある。

【0007】

【発明が解決しようとする課題】 従来のLSIデバッグ装置では、上記に説明したように、プログラム開発やエミュレーション装置対応のために、モード発生回路と制御回路によるアイソレーション（isolation）方法によりLSIの内部信号をLSI端子へ出力させたり、内部信号をLSI端子から入力させたりすると、ノーマルモードの一部のLSI端子機能を実現することができない場合が生じる。その結果、アイソレーション対応したLSI端子に接続されている回路のデバッグが不十分になることや、ソフトウェアプログラム開発者に対して仕様

3 制限を行う必要があるという問題点を有していた。

【0008】また、前記他の従来例に示すプログラム開発専用LSIを開発すれば上記のような問題点はなくなるが、その分の余分なLSI設計工数が必要になり、開発費が増加するだけでなくLSI開発期間も増加する。また、回路規模の増大に伴って多数のデバッグ専用のLSI端子が必要になるため、チップサイズが大きくなり、LSIチップ単価も高くなる。そのため、プログラム開発専用LSIをそのまま量産用LSIにすることができないという問題点を有していた。

【0009】また、特開平9-152979号公報に記載された方法においてもエミュレーション機能チップを準備する必要があり、特にシステムLSIの開発においては、複数プロセッサを内蔵し、ユーザロジック回路も変更が多いことから、エミュレーション機能チップを共通に利用することができないため、専用のLSI設計工数が必要になり開発期間が増大する。また、システムLSIではプロセスの微細化に伴い動作周波数が増加しているが、特開平9-152979号公報に記載された方法では、100MHz程度の動作周波数に対応できないという問題点を有していた。

【0010】本発明は、上記従来の課題を解決するためになされたものであり、複数プロセッサを内蔵したシステムLSIにおいても、デバッグ機能を実現することによるLSI設計工数の増加を最小限に抑え、使いやすいソフトウェアプログラム開発環境を実現することによりLSI評価期間を短縮し、システムLSIの総開発期間を短縮できるLSIデバッグ装置及びシステムを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の請求項1に記載のLSIデバッグ装置は、プロセッサ(CPU)及びロジック回路(ASIC)を含む複数のLSIブロックを備え、任意のLSIブロックを対象とするデバッグを実行するデバッグモードを有するLSIデバッグ装置において、少なくとも1つのLSIブロックをデバッグ対象として指定するデバッグ対象指定手段(モード発生回路4)と、前記デバッグ対象指定手段により指定されたLSIブロックのデバッグに必要な内部信号がLSI端子を介して入出力されるように制御する制御回路(セレクタ5、7、9)と、を具備したことを特徴とする。

【0012】請求項2に記載のLSIデバッグ装置は、前記デバッグ対象指定手段の指定に応じて、LSI端子に接続されるバスの入出力方向を逆転することを特徴とする。

【0013】請求項3に記載のLSIデバッグ装置は、前記LSIブロックが任意にリセットされることを特徴とする。

【0014】請求項4に記載のLSIデバッグ装置は、デバッグモード時、LSI端子からの入力信号をフリッ

プフロップ又はラッチ回路に保持することにより入力信号の同期を行うことを特徴とする。

【0015】請求項5に記載のLSIデバッグシステムは、請求項1乃至請求項4の何れか1項に記載のLSIデバッグ装置のLSI端子を互いに接続し、各LSIデバッグ装置が互いに異なる少なくとも1つのLSIブロックをデバッグ対象として指定することにより、前記LSIデバッグ装置を構成する全てのLSIブロックをデバッグ対象として指定し、デバッグモード時、各LSI

10 デバッグ装置が、それぞれ前記制御回路によりデバッグ対象に指定されたLSIブロックの内部信号を入出力するLSI端子機能を提供するとともに、全体として非デバッグモード(ノーマルモード)時のLSI端子機能を提供することを特徴とする。

【0016】請求項1に記載のLSIデバッグ装置によれば、デバッグモードにおいては、任意のLSIブロックに対しデバッグに必要な内部信号をLSI端子を介して入出力することにより、LSIチップ単体を用いるだけで任意のLSIブロックの評価が可能になり、個々の20 LSIブロックを対象とするデバッグを行うことができる。

【0017】請求項2に記載のLSIデバッグ装置によれば、複数のプロセッサから構成され、マスタプロセッサとスレーブプロセッサの間でLSI端子に接続されたバス信号やコントロール信号を受け渡す場合に、指定されるデバッグ対象によりLSI端子における信号の方向が逆転することがある。このため、デバッグ対象の指定に応じて、必要な場合に、LSI端子に接続される信号の方向を制御することができる。

30 【0018】請求項4に記載のLSIデバッグ装置によれば、デバッグ時に使用する入力信号をシステムクロック等で同期することにより、デバッグモード時に生じるタイミングのずれを調整することができる。特に、請求項5に係わる複数のLSIデバッグ装置の利用したLSIデバッグシステムにおいて、チップ間の配線遅延等によるタイミングのずれを容易に解消することができる利点を有する。

【0019】請求項5に記載のLSIデバッグシステムによれば、複数のLSIデバッグ装置のチップを使用

40 し、それぞれのLSIブロックのデバッグ機能を提供すると同時に、全体ではLSIデバッグ装置の本来の全LSI端子機能を実現することにより、このように構成されたシステムをターゲットボードに接続してプログラム開発を行いながら、各LSIブロックの内部信号を観察し、LSI全体の動作の詳細なデバッグを行うことができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は本発明の一実施の形態に係わるLSIデバッグ装置のブロック図を示してい

50

る。マイクロプロセッサ (CPU) 等のマスタプロセッサ1、ロジック回路 (ASIC) 2 及びデジタルシグナルプロセッサ (DSP) 等のスレーブプロセッサ3は、デバッグ対象となる複数のLSI ブロックを構成し、モード発生回路4の出力信号cにより制御される制御回路 (セレクタ) 5、7、9の選択動作により、システムLSIの本来の動作を行うノーマルモード (図中、実線) と、デバッグ時の動作をデバッグモード (図中、点線) とが切り替えられる。

【0021】各構成要素間の接続関係を具体的に説明すると、信号aはマスタプロセッサ1の出力信号であり制御回路5の一端に供給され、信号bはスレーブプロセッサ3のデバッグ時の出力信号であり制御回路5の他端に供給され、制御回路5の出力信号dはLSI端子6に供給されている。信号eはスレーブプロセッサ3の出力信号であり制御回路7の一端に供給され、信号fはマスタプロセッサ1の出力信号でありロジック回路2に供給されるとともに制御回路7の他端に供給され、制御回路7の出力信号gはLSI端子8に供給されている。信号hはロジック回路の出力信号であり制御回路9の一端に供給され、信号iはLSI端子10からの入力信号でありロジック回路2及び制御回路9の他端に供給され、制御回路9の出力信号jはマスタプロセッサ1に供給されている。マスタプロセッサ1のバス関係信号l、mは、ロジック回路2、LSI端子11、12に供給されている。

【0022】LSIデバッグ装置は、モード発生回路4によりノーマルモードとデバッグモードとを切り替える。モード発生回路4はデバッグ対象指定手段を構成し、LSI端子13、14を介して指定されるデバッグ対象のLSI ブロックを選択するための信号cを制御回路5、7、9に出力する。

【0023】図1では、デバッグモードにおいてマスタプロセッサ1がデバッグ対象に指定されているものとして、LSIデバッグ装置の動作について説明する。まず、ノーマルモード時は、制御回路5、7、9はモード制御信号cにより制御され、信号a、e、hを選択出力する。デバッグモード時は、制御回路7、9は信号f、iを選択出力し、制御回路5はノーマルモードの信号aを選択出力する。

【0024】すなわち、ノーマルモードではデバッグ対象外のLSI ブロックの信号が供給されるLSI端子8は、デバッグモードではデバッグ対象のLSI ブロックの出力信号fが供給され、これによりエミュレーションが可能になる。また、デバッグ対象のLSI ブロックへの入力信号jは、LSI端子10から供給される。このとき、デバッグ対象のLSI ブロックからの出力が直接供給されるLSI端子、あるいはデバッグ対象のLSI ブロックへの入力が直接供給されるLSI端子はそのまま利用する。

【0025】このようにして、デバッグ対象外のLSI ブロックの入出力信号のLSI端子をアイソレーション対応し、デバッグ対象のLSI ブロックのデバッグに必要な特定の内部信号の入出力ためのLSI端子として使用するように制御する。このとき、誤動作防止対策及び低消費電流対策として、デバッグ対象外のLSI ブロックはリセット状態にする。

【0026】図2に示すブロック図は、図1に示したLSI デバッグ装置と同一であり、上述したLSI デバッグ装置において、ロジック回路2及びスレーブプロセッサ3がデバッグ対象に指定されている場合の動作を説明するものである。

【0027】図2において、ノーマルモード時の動作は上述したとおりであるが、デバッグモード時には、制御回路5はデバッグモードの信号bを選択出力し、制御回路7、9はノーマルモード信号e、hを選択出力する。すなわち、ノーマルモードではデバッグ対象外のマスタプロセッサ1の出力信号aが供給されるLSI端子6は、デバッグモードではデバッグ対象のスレーブプロセッサ3の出力信号bが供給され、これによりエミュレーションが可能になる。また、誤動作防止対策及び低消費電流対策として、デバッグ対象外のマスタプロセッサ1はリセット状態にする。

【0028】この場合、マスタプロセッサ1がデバッグ対象外となるため、ノーマルモードではマスタプロセッサ1により制御されていたバス関係の信号l、mの出入力を逆転する必要が生じる。図3に、本実施の形態に係わるLSI デバッグ装置のバス関係のブロック図を示す。図3において、1はマスタプロセッサ、2はロジック回路、21、22、23、24、25は制御回路、26、27はバス関係のLSI端子及び端子回路である。

【0029】図3における各構成要素間の接続関係を具体的に説明すると、モード発生回路からのモード制御信号rは制御回路21～25及びLSI端子回路27の方に向制御ピンに供給されている。制御回路21には、ノーマルモード対応のロジック回路2のバス出力信号sとノーマルモード対応のLSI端子26からの入力信号uが供給され、その制御回路の出力は、マスタプロセッサ1の内部バスに供給されている。制御回路23には、ノーマルモード対応のマスタプロセッサ1のバス出力信号tとデバッグモード対応のLSI端子26からの入力信号uが供給され、その制御回路の出力wは、ロジック回路2の内部バスに供給されている。

【0030】制御回路24には、ノーマルモード対応のマスタプロセッサ1のバス出力信号t及びデバッグモード対応のロジック回路2のバス出力信号sが供給され、その制御回路の出力vは、LSI端子26に供給されている。制御回路25には、反転のリードイネーブル信号(NRE)端子であるLSI端子27の出力及びモード制御信号rが供給され、その制御回路の出力zはLSI

端子回路26の方向制御ピンに供給されている。バス信号は通常複数本あるが、説明の簡略化のために1本で示している。

【0031】以上のように構成されたバス関係の動作について説明する。ノーマルモード時におけるマスタプロセッサ1のリードモードでは、LSI端子26は入力端子、LSI端子27は出力端子でリードイネーブル信号がアクティブ状態となり、制御回路21を通してマスタプロセッサ1にデータを取り込む。ノーマルモード時におけるマスタプロセッサ1のライトモードでは、LSI端子26は出力端子、LSI端子27はリードイネーブル信号がノンアクティブ状態となり、制御回路23、24を通してロジック回路2またはLSI端子26にマスタプロセッサ1のデータを出力する。

【0032】デバッグモード時におけるデバッグ対象が図1のようにマスタプロセッサ1の場合は、図3のバス関係の動作はノーマルモードと同じになるが、デバッグ対象が図2のようにロジック回路2及びスレーブプロセッサ3の場合は、バス関係の動作が逆になる。この場合、マスタプロセッサ1がデバッグ対象外となるため、リードモードはマスタプロセッサ1からではなくLSI端子27を介して外部から指定され、デバッグ対象のロジック回路2及びスレーブプロセッサ3においてはデータを出力するモードとなる。そのため、リードモードではLSI端子26は出力端子、LSI端子27は入力端子となり、リードイネーブル信号がアクティブ状態になる。そして制御回路24を通してロジック回路2のデータを出力する。

【0033】同様に、ライトモードでは、デバッグ対象のロジック回路2及びスレーブプロセッサ3においてはデータを入力するモードとなり、LSI端子26は入力端子、LSI端子27はノンアクティブ状態となる。そして制御回路23を通してロジック回路2にデータを取り込む。

【0034】複数のプロセッサやロジックブロックからなるシステムLSIにおいては、構成する各LSIブロックのデバッグ時のリセットを、デバッグ対象の指定に応じて適切に制御する必要がある。図4は、本実施の形態に係わるLSIデバッグ装置のリセット信号関係の制御を示すブロック図である。図4において、1はマスタプロセッサ、2はロジック回路、3はスレーブプロセッサ、28はLSI端子及び端子回路、29は制御回路、30はLSIのリセット信号を入力するLSI端子である。

【0035】各構成要素間の接続関係を具体的に説明すると、LSI端子30のリセット信号a1は、ロジック回路2に供給され、制御されたリセット信号b1はスレーブプロセッサ3に供給され、制御されたリセット信号c1は制御回路29及びLSI端子28に供給される。LSI端子28の出力信号d1は制御回路29に供給さ

れる。また、制御回路29の出力信号e1は、マスタプロセッサ1に供給されている。また、制御回路29及びLSI入出力端子28には、モード発生回路4の出力のモード信号f1が供給されている。

【0036】以上のように構成されたリセット信号関係の動作について説明する。LSI端子30からLSIのリセット信号が入力されると、ロジック回路2でLSI全体のリセット制御が行われ、マスタプロセッサ1、スレーブプロセッサ3、ロジック回路2がリセットされる。10 デバッグモード時には、デバッグモード信号f1及び制御回路29により、マスタプロセッサ1のリセットをLSI端子28から制御できるようになる。

【0037】システムLSIのデバッグ時には、デバッグシステムの構成や配線に起因する信号遅延等により、LSI端子に供給される信号のタイミングが本来の使用状態と異なる場合やタイミングの不統一が生じることがある。図5は、本実施の形態に係わるLSIデバッグ装置のデバッグ入力信号の同期関係の対策を示すブロック図である。図5において、1はマスタプロセッサ、2はロジック回路、9は制御回路、31はD-フリップフロップ、32はLSI端子である。

【0038】各構成要素間の接続関係を具体的に説明すると、LSI端子32からのデバッグモード時の入力信号g1は、D-フリップフロップ31のデータ入力端に供給され、D-フリップフロップ31の出力信号h1は、一端にロジック回路2の出力信号j1が供給され、モード信号k1により制御される制御回路9の他端に供給される。制御回路9の出力信号i1はマスタプロセッサ1に供給される。また、D-フリップフロップ31のクロック入力端には、LSI全体のシステムクロック11が供給される。

【0039】このように構成されたデバッグ入力信号の同期方法によれば、デバッグモード時のLSI端子からの入力信号に対してLSI全体のシステムクロック11でタイミングをとってデータをデバッグ対象のLSIブロックに入力することにより、入力信号の同期の問題が解決される。ここで、D-フリップフロップ31のクロック入力端にはLSI全体のシステムクロック11が供給されるが、システム構成によっては他のクロック（例えば、マスタプロセッサ1のシステムクロック）が供給されるようにしてもよい。

【0040】以上説明したように、本発明によれば、デバッグ対象の各LSIブロックをLSIチップ単体を用いて評価することができる。また、ソフトウェアプログラマ開発に必要な端子も用意することができるため、仕様制限を設げずにシステムLSIに内蔵されたプロセッサをデバッグすることが可能になる。

【0041】図6は本発明に係わるLSIデバッグ装置を複数個使用したLSIデバッグシステムを示す構成図50である。図6に示されるように、マスタプロセッサ1を

デバッグ対象に指定したデバッグモードLSI61は接続線pを介してデバッグボード端子63に接続され、スレーブプロセッサ3をデバッグ対象に指定したデバッグモードLSI65は接続線qを介してデバッグボード端子67に接続され、各デバッグモードLSIが互いにデータインターフェースのためのバス関係端子接続線oを介して接続された状態でLSIデバッグボード69に搭載される。また、マスタプロセッサ1のエミュレーション装置71がデバッグボード端子63に接続され、スレーブプロセッサ3のエミュレーション装置73がデバッグボード端子67に接続される。なお、LSIデバッグ装置を複数チップ利用したデバッグシステムにおけるバスのLSI端子接続は、データ端子同士、リード/イネーブル端子同士で接続される。

【0042】以上のように構成されたLSIデバッグシステムにおいて、LSI61は単体でマスタプロセッサ1のデバッグを可能にし、LSI65は単体でロジック回路2及びスレーブプロセッサ3のデバッグを可能にするため、LSIデバッグボード69はシステムLSIを構成する全LSIブロックをデバッグすることを可能にし、ターゲットボード75に対してシステムLSIの全端子機能を提供しながら、内部信号の詳細なデバッグをすることが可能なシステムLSI全体に係わるLSIデバッグ装置として使用することができる。

【0043】

【発明の効果】以上説明したように、本発明のLSIデバッグ装置によれば、任意のLSIブロックについてデバッグに必要な内部信号をLSI端子を介して入出力することができる。このため、LSIチップ単体を用いるだけで任意のLSIブロックの評価が可能になり、個々のLSIブロックを対象とするデバッグを行うことができる。

【0044】本発明のLSIデバッグシステムによれば、LSIデバッグ装置のチップを複数使用し、それぞれのLSIブロックのデバッグ機能を提供すると同時に、全体ではLSIデバッグ装置の本来の全LSI端子機能を実現することにより、LSI全体の動作の詳細な

デバッグを行うことができる。その結果、複数のプロセッサ等を内蔵するシステムLSIについて、低価格で最適な開発環境を提供し、開発期間を短縮するという優れた効果が得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係わるLSIデバッグ装置のブロック図。

【図2】本発明の一実施の形態に係わるLSIデバッグ装置のブロック図。

10 【図3】本発明の一実施の形態に係わるLSIデバッグ装置のバス関係のブロック図。

【図4】本発明の一実施の形態に係わるLSIデバッグ装置のリセット信号関係のブロック図。

【図5】本発明の一実施の形態に係わるLSIデバッグ装置のデバッグ入力信号の同期関係のブロック図。

【図6】本発明の一実施の形態に係わるLSIデバッグ装置を複数使用したLSIデバッグシステムを示す構成図。

【図7】従来のLSIデバッグ装置のブロック図。

20 【符号の説明】

1 マスタプロセッサ

2 ロジック回路

3 スレーブプロセッサ

4 モード発生回路

5、7、9 制御回路

6、8、10、11、12、13、14 LSI端子

21、22、23、24、25、29 制御回路

26、27、28、30、32 LSI端子

31 D-フリップフロップ

30 61 マスタプロセッサ1のデバッグモードLSI

63、67 LSIデバッグボード端子

65 スレーブプロセッサ3のデバッグモードLSI

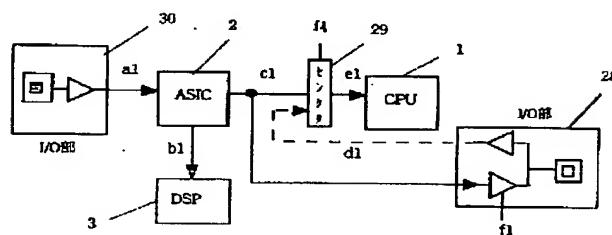
69 LSIデバッグボード

71 スレーブプロセッサ3エミュレーション装置

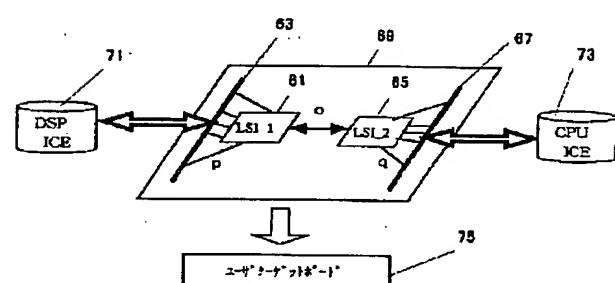
73 マスタプロセッサ1のエミュレーション装置

75 ターゲットボード

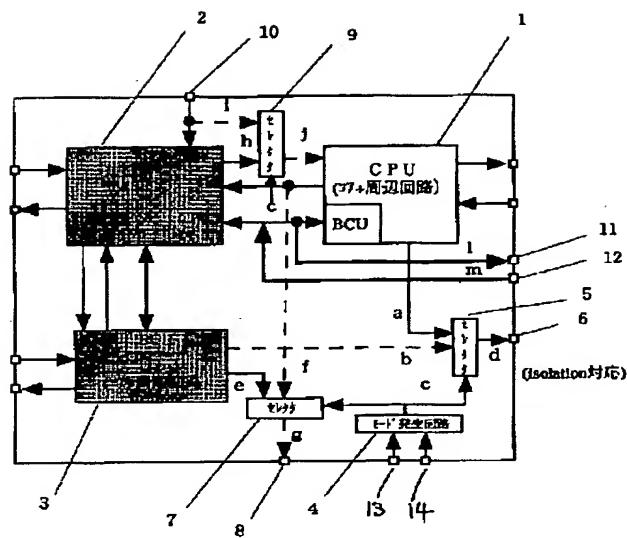
【図4】



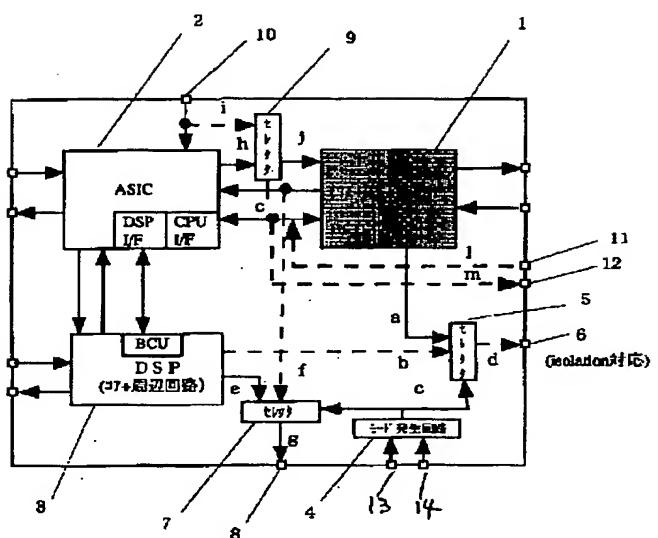
【図6】



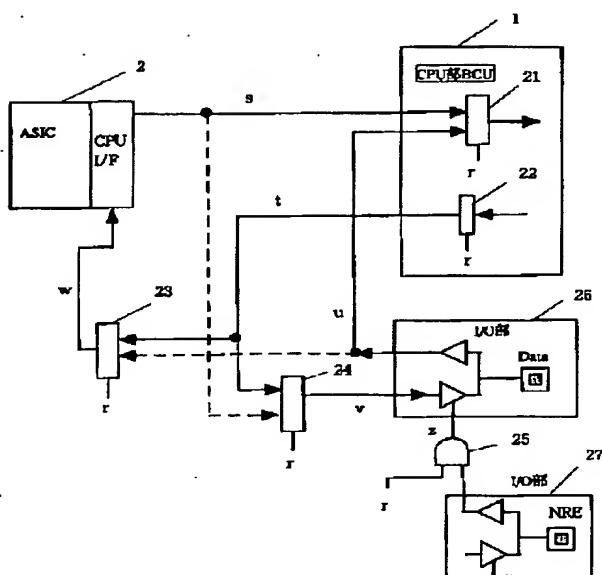
[図1]



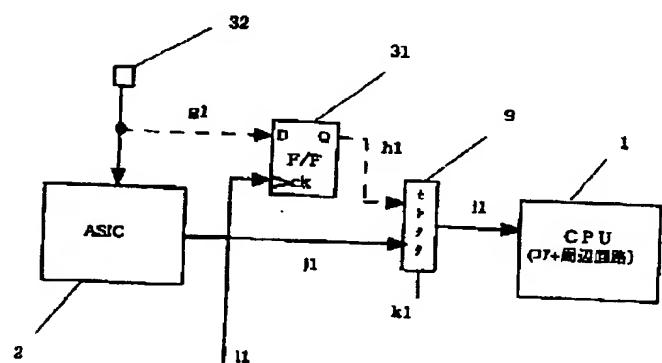
【图2】



【図3】



[图5]



【図7】

